

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-184015

(43)Date of publication of application : 06.07.2001

(51)Int.CI.

G09G 3/20
G02F 1/00
G02F 1/133
G09F 9/30
G09G 3/36

(21)Application number : 11-364961

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 22.12.1999

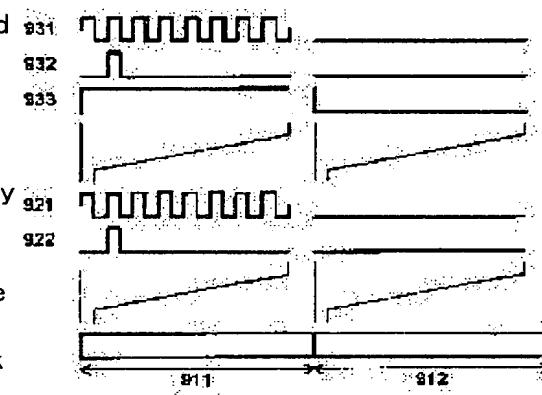
(72)Inventor : KIMURA MUTSUMI

(54) DRIVING METHOD FOR DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption without accompanying the degradation of picture quality such as flicker or contrast degradation in an organic electroluminescent display device and a liquid crystal display device.

SOLUTION: This driving method provides a scanning period and a scan pause period by using an area gradation system (M. Kimura, Proc. Euro Display '99 Late-News Paper, 71). In the scan pause period, not only scanning is performed but also the source voltage of a driving circuit is made to be zero, thereby remarkably reducing power consumption of the driving circuit. In the figure, a scanning period is represented by 911, a scan pause period by 912, a scanning line driving circuit clock by 921, a scanning line driving circuit start pulse by 922, a signal line driving circuit clock by 931, a signal line driving circuit start pulse by 932 and the high potential-side power source potential of the signal line driving circuit by 933.



LEGAL STATUS

[Date of request for examination] 26.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-184015

(P2001-184015A)

(43) 公開日 平成13年7月6日 (2001.7.6)

(51) Int.Cl.⁷
G 0 9 G 3/20 6 4 1
G 0 2 F 1/00
1/133 5 7 5
G 0 9 F 9/30 3 3 9
G 0 9 G 3/36

F 1
G 0 9 G 3/20 6 4 1 G 2 H 0 7 9
G 0 2 F 1/00 2 H 0 9 3
1/133 5 7 5 5 C 0 0 6
G 0 9 F 9/30 3 3 9 Z 5 C 0 8 0
G 0 9 G 3/36 5 C 0 9 4

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平11-364961

(22) 出願日 平成11年12月22日 (1999. 12. 22)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 木村 瞳

長野県諏訪市大和3丁目3番5号 セイコ
一エプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

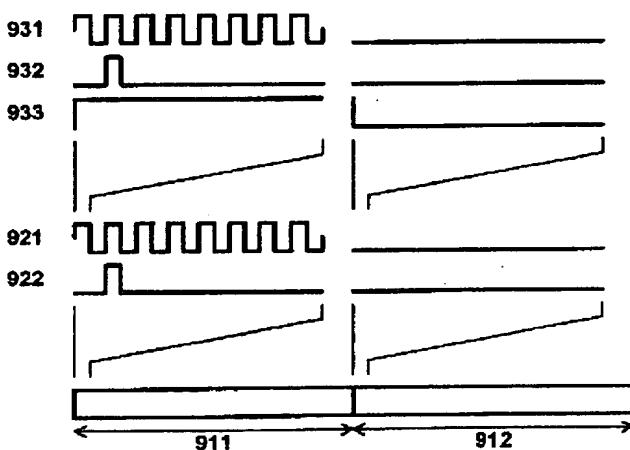
最終頁に続く

(54) 【発明の名称】 表示装置の駆動方法

(57) 【要約】

【課題】 有機エレクトロルミネッセンス表示装置や液晶表示装置において、フリッカ・コントラスト低下などの画質低下を伴うこと無しに、消費電力を低減する。

【解決手段】 面積階調方式 (M. Kimura, Proc. Euro Display '99 Late-News Papers, 71) を用い、走査期間と走査休止期間とを設け、走査休止期間においては、走査を行わないだけでなく、駆動回路の電源電圧をゼロにして、駆動回路の消費電力を大幅に低減する。図中で、911は走査期間、912は走査休止期間、921は走査線駆動回路クロック、922は走査線駆動回路スタートパルス、931は信号線駆動回路クロック、932は信号線駆動回路スタートパルス、933は信号線駆動回路の高電位側電源電位である。



【特許請求の範囲】

【請求項1】複数の走査線および複数の信号線がマトリクス状に形成され、前記走査線と前記信号線との交点に画素が形成され、前記画素の各々に表示素子が形成され、前記表示素子は複数の副表示素子から構成され、前記走査線の電位により前記信号線の電位が各画素に書き込まれ、この制御電位に従って前記副表示素子はオン状態またはオフ状態の2状態のいずれかに制御され、複数の前記副表示素子のうち前記オン状態の前記副表示素子の総面積を変化させて階調を得る、表示装置において、各前記画素に対して各前記副表示素子のオン状態またはオフ状態の書きを行う走査期間と、各前記副表示素子のオン状態またはオフ状態を保持したまま書きは行わない走査休止期間とが設けられていることを特徴とする、表示装置の駆動方法。

【請求項2】請求項1記載の表示装置の駆動方法において、

前記走査休止期間においては、走査線駆動回路の高電位側電源の電位と低電位側電源の電位は前記走査期間から変化せず、信号線駆動回路の高電位側電源の電位と低電位側電源の電位は同電位になっていることを特徴とする、表示装置の駆動方法。

【請求項3】請求項1記載の表示装置の駆動方法において、

前記走査休止期間においては、走査線駆動回路と信号線駆動回路の高電位側電源の電位と低電位側電源の電位が、同電位になっていることを特徴とする、表示装置の駆動方法。

【請求項4】請求項2または請求項3記載の表示装置の駆動方法において、

前記走査線の電位が高電位のとき、前記信号線の電位が前記画素に書き込まれる表示装置において、

前記走査休止期間においては、信号線駆動回路の高電位側電源の電位が低電位側電源の電位に変化させられることを特徴とする、表示装置の駆動方法、または、

前記走査線の電位が低電位のとき、前記信号線の電位が前記画素に書き込まれる表示装置において、

前記走査休止期間においては、信号線駆動回路の低電位側電源の電位が高電位側電源の電位に変化させられることを特徴とする、表示装置の駆動方法。

【請求項5】請求項2または請求項3の表示装置の駆動方法において、

前記制御電位が高電位のとき、前記副表示素子がオン状態に制御される表示装置において、

前記走査休止期間においては、信号線駆動回路の高電位側電源の電位が低電位側電源の電位に変化させられることを特徴とする、表示装置の駆動方法、

または、

前記制御電位が低電位のとき、前記副表示素子がオン状態に制御される表示装置において、

前記走査休止期間においては、信号線駆動回路の低電位側電源の電位が高電位側電源の電位に変化させられることを特徴とする、表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置、特に、高画質を維持したまま超低消費電力を実現する、薄膜トランジスタ駆動有機エレクトロルミネッセンス表示装置および薄膜トランジスタ駆動液晶表示装置に関する。

【0002】

【背景技術】最近、有機エレクトロルミネッセンス表示装置は、将来的に究極の薄型、軽量、小型、低消費電力などを実現する表示装置として、注目されている。この有機エレクトロルミネッセンス表示装置は、今後広汎かつ多用いられるようになると期待されている。

【0003】一方、現在、液晶表示装置は、パソコンモニタ、ノートパソコン、携帯情報端末、カーナビゲーションシステム、ポータブルテレビ、壁掛けテレビ、ビデオビューファインダー、デジタルカメラ携帯電話などの表示装置として、既に広汎かつ多用いられている。今後さらに利用範囲は拡大してゆくことが予想される。

【0004】これらの有機エレクトロルミネッセンス表示装置や液晶表示装置の駆動方法のひとつに、面積階調方式がある (M. Kimura, et al., Proc. Euro Display '99 Late-News Papers, 71, 特開平9-233107, M. Kimura, et al., Proc. IDW 99, 171)。面積階調方式とは、マトリクス状に配置された画素の各々に表示素子が形成され、表示素子は複数の副表示素子から構成され、副表示素子はオン状態またはオフ状態の2状態のいずれかに制御され、複数の副表示素子のうちオン状態の副表示素子の総面積を変化させて階調を得る方式である。

【0005】有機エレクトロルミネッセンス表示装置に対する面積階調方式の利点は、画質均一性向上である。従来用いられているConductance Control方式 (T. Shimoda, M. Kimura, et al., Proc. Asia Display 98, 21, 7, M. Kimura, et al., IEEETrans. Elec. Dev., to be published, M. Kimura, et al., Proc. IDW 99, 171) の有機エレクトロルミネッセンス表示素子では、中間電圧印加時の発光輝度均一性が悪い。そこで、面積階調方式により、発光輝度均一性のよいオン状態およびオフ状態のみを用いることで、画質均一性向上を実現する (M. Kimura, et al., Proc. Euro Display '99 Late-News Papers, 71, 特開平9-233107, M. Kimura, et al., Proc. IDW 99, 171)。

【0006】液晶表示装置に対する面積階調方式の利点は、広視角化である。広く用いられているTwist Nematic方式の液晶セルでは、中間電圧印加時の視角依存性が大きい。そこで、面積階調方式により、視角依存性の少ないオン状態およびオフ状態のみを用いることで、広視角化を実現する。

【0007】有機エレクトロルミネッセンス表示装置や液晶表示装置に期待される特性のひとつに、駆動回路の消費電力低減が挙げられる。これらの有機エレクトロルミネッセンス表示装置や液晶表示装置に対して、駆動回路の大幅な消費電力低減を実現する方法が、既に考えられている（特願平11-305740）。この方法では、薄膜トランジスタ駆動有機エレクトロルミネッセンス表示装置や薄膜トランジスタ駆動液晶表示装置に対して、駆動回路の消費電力を低減するために、画面走査周波数を低周波数化している。現在のほとんどの表示装置の画面走査周波数は、60Hzである。画面走査周波数の低周波数化ができれば、駆動回路の消費電力を、大幅に低減することが可能である。

【0008】しかしながら、従来の表示装置において、画面走査周波数を60Hzよりも低周波数化すると、フリッカが観測されるようになってしまう。また、30Hz程度のフリッカは、場合により、視覚を通じて健康に重大な問題を引き起こすことが知られている（ポケモン症候群）。そこで、この方法では、面積階調により各副表示素子を完全なオン状態およびオフ状態に制御し、画面走査周波数を60Hzよりも低周波数化しても、この完全なオン状態およびオフ状態が保たれるように、駆動電圧にマージンを設ける。この工夫により、フリッカ・コントラスト低下などの画質課題が発生することなく、駆動回路の消費電力低減が実現できる。

【0009】

【発明が解決しようとする課題】有機エレクトロルミネッセンス表示装置や液晶表示装置の、低消費電力という特長を生かしたアプリケーションが、ノートパソコン、携帯情報端末、ポータブルテレビ、ビデオビューファインダ、デジタルカメラ、携帯電話などの、携帯用途である。しかしながら、これらの携帯用途に対しては、現状よりもさらなる低消費電力化が、要求されている。そこで、本発明の目的は、有機エレクトロルミネッセンス表示装置や液晶表示装置の、さらなる低消費電力化を図ることである。もちろん、低消費電力化を図る際に、画質低下を伴うことは、無いようとする。その手段が、上記の方法（特開平特願平11-305740）であるが、本発明では、別の一手段を提示する。また、上記の方法によりも、さらなる低消費電力化を、目指す。

【0010】

【課題を解決するための手段】（1）請求項1記載の本発明は、複数の走査線および複数の信号線がマトリクス状に形成され、走査線と信号線との交点に画素が形成され、画素の各々に表示素子が形成され、表示素子は複数の副表示素子から構成され、走査線の電位により信号線の電位が各画素に書き込まれ、この制御電位に従って副表示素子はオン状態またはオフ状態の2状態のいずれかに制御され、複数の副表示素子のうちオン状態の副表示素子の総面積を変化させて階調を得る、表示装置において

て、各画素に対して各副表示素子のオン状態またはオフ状態の書きを行う走査期間と、各副表示素子のオン状態またはオフ状態を保持したまま書きは行わない走査休止期間とが設けられていることを特徴とする、表示装置の駆動方法である。

【0011】本構成によれば、駆動回路の消費電力の大幅な低減が、フリッカ・コントラスト低下などの画質低下を伴うこと無く、可能である。何故なら、走査休止期間では、駆動回路の消費電力が、非常に小さいからである。また、走査休止を行っているにもかかわらず、オン状態またはオフ状態では制御電位がリーク電流やノイズにより変動したとしても、表示素子の輝度の変化は少なく、原理的にフリッカ・コントラスト低下などの画質低下は、発生しない。

【0012】（2）請求項2記載の本発明は、請求項1記載の表示装置の駆動方法において、走査休止期間においては、走査線駆動回路の高電位側電源の電位と低電位側電源の電位は走査期間から変化せず、信号線駆動回路の高電位側電源の電位と低電位側電源の電位は同電位になっていることを特徴とする、表示装置の駆動方法である。

【0013】本構成によれば、請求項1記載の表示装置の駆動方法において、さらなる駆動回路の消費電力の低減が、可能である。何故なら、走査休止期間において、信号線駆動回路の待機電力も存在しないようとしているので、信号線駆動回路の消費電力を、完全にゼロにできるからである。さらに、走査線駆動回路の高電位側電源の電位と低電位側電源の電位は走査期間から変化させないので、各副表示素子のオン状態またはオフ状態の保持は確実に継続され、フリッカ・コントラスト低下などの画質低下が、発生しない。

【0014】（3）請求項3記載の本発明は、請求項1記載の表示装置の駆動方法において、走査休止期間においては、走査線駆動回路と信号線駆動回路の高電位側電源の電位と低電位側電源の電位が、同電位になっていることを特徴とする、表示装置の駆動方法である。

【0015】本構成によれば、請求項2記載の表示装置の駆動方法よりも、さらなる駆動回路の消費電力の低減が、可能である。何故なら、走査休止期間において、信号線駆動回路の待機電力も存在しないようとしているだけでなく、走査線駆動回路の待機電力も存在しないようとしているので、信号線駆動回路の消費電力だけでなく、走査線駆動回路の消費電力も、完全にゼロにできるからである。

【0016】（4）請求項4記載の本発明は、請求項2または請求項3記載の表示装置の駆動方法において、走査線の電位が高電位のとき、信号線の電位が前記画素に書き込まれる表示装置において、走査休止期間においては、信号線駆動回路の高電位側電源の電位が低電位側電源の電位に変化させられることを特徴とする、表示装置

の駆動方法、または、走査線の電位が低電位のとき、信号線の電位が前記画素に書き込まれる表示装置において、走査休止期間においては、信号線駆動回路の低電位側電源の電位が高電位側電源の電位に変化させられることを特徴とする、表示装置の駆動方法である。

【0017】本構成によれば、請求項2または請求項3記載の表示装置の駆動方法の効果を保ちつつ、走査休止期間における各画素の制御電位のリーク電流をさらに低減できるので、フリッカ・コントラスト低下などの画質低下が、より発生しにくくなる。

【0018】(5)請求項5記載の本発明は、請求項2または請求項3記載の表示装置の駆動方法において、制御電位が高電位のとき、副表示素子がオン状態に制御される表示装置において、走査休止期間においては、信号線駆動回路の高電位側電源の電位が低電位側電源の電位に変化させられることを特徴とする、表示装置の駆動方法、または、制御電位が低電位のとき、副表示素子がオン状態に制御される表示装置において、走査休止期間においては、信号線駆動回路の低電位側電源の電位が高電位側電源の電位に変化させられることを特徴とする、表示装置の駆動方法である。

【0019】本構成によれば、請求項2または請求項3記載の表示装置の駆動方法の効果を保ちつつ、フリッカ・コントラスト低下などの画質低下が、より発生しにくくなる。なぜなら、走査休止期間における各画素の制御電位のリーク電流が存在しても、オン状態の表示素子の輝度が、若干減少するかたちで現れる。この場合、オフ状態の表示素子の輝度が、若干増加する場合と比較すると、フリッカ・コントラスト低下などの画質低下は、より見えにくくなる。

【0020】

【発明の実施の形態】以下、本発明の好ましい実施例を説明する。

【0021】(第1の実施例)本実施例は、摂氏600度以下の低温プロセスで形成された多結晶シリコン薄膜トランジスタ(低温p-Si TFT)を備えている。低温p-Si TFTは、大型で安価なガラス基板上に形成でき、パネル上に駆動回路を内蔵できるので、表示装置製造に適した技術である。また、小サイズでも駆動能力が高く、1画素内にさえ複雑な回路を組み込めるので、面積階調方式に適した技術である。なお、低温p-Si TFTの代わりに、非晶質シリコン薄膜トランジスタ(a-Si TFT)が用いられた表示装置に対しても、本発明の思想は効果がある。この場合は、駆動回路はパネル外に設けられる。

【0022】また、本実施例は、表示素子が、薄膜トランジスタと薄膜トランジスタに直列に接続された有機エレクトロルミネッセンス素子である。なお、表示素子が液晶表示素子である表示装置に対しても、本発明の思想は効果がある。特に、反射型液晶表示素子やSuper Twisted Nematic液晶表示素子に対しては、トータルの消費

電力が小さいので、相対的に本発明により低減できる消費電力の割合が大きくなり、本発明の効果はより大きくなる。

【0023】図1は、本発明の実施例の画素等価回路図である。ここでは、1画素のみ図記しているが、実際には、上下左右に広がった、複数行および複数列の多数の画素が存在する。

【0024】複数の走査線11および複数の信号線12がマトリクス状に形成されている。各走査線11と各信号線12の交点には、画素13が形成されている。画素13内には、スイッチング薄膜トランジスタ14、保持容量15、表示素子16が形成されている。本実施例では、表示素子16として、ドライビング薄膜トランジスタ17とこのドライビング薄膜トランジスタ17に直列に接続された有機エレクトロルミネッセンス素子18が用いられている。

【0025】走査線11に選択パルスが印加されている間に、信号線12に画像信号が印加され、スイッチング薄膜トランジスタ14を通じて、保持容量15に保持される。この画像信号は、ドライビング薄膜トランジスタ17のゲート端子に印加され、有機エレクトロルミネッセンス素子18の電流および発光が制御される。発光に用いられる電流は、電流供給配線191から、ドライビング薄膜トランジスタ17を介して、陰極192へと流れる。

【0026】本実施例では階調は2ビットで表されるので、信号線12は低ビットの信号線121と高ビットの信号線122から成る。また、これに対応して、スイッチング薄膜トランジスタ14も低ビットのスイッチング薄膜トランジスタ141と高ビットのスイッチング薄膜トランジスタ142から成り、保持容量15も低ビットの保持容量151と高ビットの保持容量152から成る。さらに、表示素子16も低ビットの副表示素子161と高ビットの副表示素子162から成る。低ビットの副表示素子161と高ビットの副表示素子162に対応して、ドライビング薄膜トランジスタ17も低ビットのドライビング薄膜トランジスタ171と高ビットのドライビング薄膜トランジスタ172から成り、有機エレクトロルミネッセンス素子18も低ビットの有機エレクトロルミネッセンス素子181と高ビットの有機エレクトロルミネッセンス素子182から成る。低ビットの有機エレクトロルミネッセンス素子181と高ビットの有機エレクトロルミネッセンス素子182の面積比は1:2になつていて。この比は、同一面積有機エレクトロルミネッセンス素子18を1個および2個ならべることで、得ている。すなわち、高ビットの有機エレクトロルミネッセンス素子182は、低ビットの有機エレクトロルミネッセンス素子181と等しい面積を持つ、第1の高ビットの有機エレクトロルミネッセンス素子1821と第2の高ビットの有機エレクトロルミネッセンス素子1822とから成る。同一輝度で発光した場合、発光量と発光面積は比例関係になるので、発光量も1:2であり、4階調が得られる。なお、3ビット以上の階調に対しても、本発明の思想は有効である。

る。

【0027】図2は、本発明の実施例の表示素子の制御方法を表わす図である。横軸は、ドライビング薄膜トランジスタ17のゲート電極に印加される制御電位(Vsig)、縦軸は、表示素子16を流れる電流を示す。表示素子16を流れる電流と発光輝度は、ほぼ比例関係にあるので、縦軸を発光輝度と考えてもよい。

【0028】表示素子16は、オン状態21またはオフ状態22の2状態のいずれかに制御される。オン状態21またはオフ状態22においては、グラフは平坦なので、Vsigが変動しても、表示素子16を流れる電流または発光輝度は、ほとんど変化しない。

【0029】図3は、本発明の実施例の駆動回路を表わす図である。走査駆動回路シフトレジスタ311に走査駆動回路クロック331が印加されて、出力パルスが転送される。出力パルスは、走査駆動回路バッファ312により駆動能力を高められて、表示領域35に存在する走査線11に印加される。一方、信号駆動回路シフトレジスタ321に信号駆動回路クロック341が印加されて、出力パルスが転送される。出力パルスは、信号駆動回路第1バッファ322により駆動能力を高められて、信号駆動回路第1ラッチ323に印加される。出力パルスに同期して、デジタル画像信号342が印加され、信号駆動回路第1ラッチ323にサンプリングされる。信号駆動回路ラッチパルス343により、デジタル画像信号342は、信号駆動回路第1ラッチ323から信号駆動回路第2ラッチ324に転送される。転送されたデジタル画像信号342は、信号駆動回路第2バッファ325により駆動能力を高められて、表示領域35に存在する信号線12に印加される。周辺供給配線36からは、表示領域35内の電流供給配線191に、有機エレクトロルミネッセンス素子18を発光させるために必要な電流が供給される。陰極コンタクト37は、陰極192に接続され、有機エレクトロルミネッセンス素子18を発光させるために用いられた電流を吸い出す。

【0030】図4は、シフトレジスタ回路の一例である。図5は、ラッチ回路の一例である。図6は、バッファ回路の一例である。各々の図で、(a)は論理記号による表現、(b)はトランジスタによる表現である。いずれの回路にも、論理回路が存在し、これらの動作には、高電位側電源(HI)と、低電位側電源(LO)が必要とされる。

【0031】図7は、本発明の実施例の薄膜トランジスタの製造工程を表わす図である。まず、ガラス基板71上に、SiH₄を用いたPECVDや、Si₂H₆を用いたLPCVDにより、アモルファスシリコンが成膜される。エキシマレーザー等のレーザー照射や、固相成長により、アモルファスシリコンは再結晶化し、多結晶シリコン72となる(図7(a))。多結晶シリコン72をバーニングした後、ゲート絶縁膜73が成膜され、ゲート電極74が成膜およびバーニングされる(図7(b))。リンやボロンなどの不純物がゲート電極を用いて自己整合的に多結晶シリコン

72に打ち込まれ、活性化され、CMOS構造のソース領域およびドレイン領域75が、形成される。第1層間絶縁膜76が成膜され、コンタクトホールを開穴し、ソース電極およびドレイン電極77が成膜およびバーニングされる(図7(c))。さらに、第2層間絶縁膜78が成膜され、コンタクトホールを開穴し、ITOから成る画素電極79が成膜およびバーニングされる(図7(d))。

【0032】図8は、本発明の実施例の有機エレクトロルミネッセンス素子の製造工程を表わす図である。まず、密着層81が成膜され、発光させたい領域に開口部が形成される。層間層82が成膜され、開口部が形成される(図8(a))。次に、酸素プラズマやCF₄プラズマなどのプラズマ処理により、基板表面の濡れ性を制御する。その後、正孔注入層83および発光層84が、スピニコート、スキー塗り、インクジェットプロセスなどの液相プロセスや、スパッタ、蒸着などの真空プロセスにより、成膜される。仕事関数が小さくするためにアルカリ金属を含んだ陰極85が、成膜され、封止剤86により封止されて、完成する(図8(b))。密着層81の役割は、基板と層間層82との密着性を向上し、また、正確な発光面積を得ることである。層間層82の役割は、ゲート電極74やソース電極およびドレイン電極77から陰極85を遠ざけて、寄生容量を低減すること、および、液相プロセスで正孔注入層83や発光層84を形成する際に、表面の濡れ性を制御し、正確なバーニングを実現することである。

【0033】図9は、本発明の本実施例の表示素子の駆動方法を表わす図である。本実施例では、請求項1で記載した技術を、用いている。すなわち、走査期間911と走査休止期間912とが設けられている。図9では、走査期間911と走査休止期間912と同じ長さに書かれているが、実際には一般に異なっている。走査期間911には、走査駆動回路クロック921および走査駆動回路スタートパルス922が、走査駆動回路シフトレジスタ311に入力され、パルス転送動作が行われる。走査駆動回路シフトレジスタ311、走査駆動回路バッファ312により、走査線11の駆動が行われる。また、信号駆動回路クロック931および信号駆動回路スタートパルス932が、信号駆動回路シフトレジスタ321に入力され、パルス転送動作が行われる。信号駆動回路シフトレジスタ321、信号駆動回路第1バッファ322、信号駆動回路第1ラッチ323、信号駆動回路第2ラッチ324、信号駆動回路第2バッファ325により、信号線12の駆動が行われる。

【0034】走査休止期間912では、走査駆動回路スタートパルス922および信号駆動回路スタートパルス932は、入力されない。故に、走査駆動回路シフトレジスタ311および信号駆動回路シフトレジスタ321におけるパルス転送動作が行われなくなり、この動作で消費されていた電力が、削減される。また、走査駆動回路バッファ312、信号駆動回路第1バッファ322、信号駆動回路第1ラッチ323、信号駆動回路第2ラッチ324、信号駆動回路第2バッファ325

2バッファ325における、出力電圧変化が行われなくなり、この動作で消費されていた電力が、削減される。さらに、走査線11および信号線12の駆動が行われなくなり、この動作で消費されていた電力が、削減される。

【0035】また、図2からわかるように、オン状態21またはオフ状態22においては、グラフは平坦である。故に、走査休止期間912にVsigが変動しても、表示素子16を流れる電流または発光輝度は、ほとんど変化しない。よって、走査休止を行っているにもかかわらず、フリッカ・コントラスト低下などの画質低下は、発生しない。

【0036】図10は、本発明の本実施例の変形例の表示素子の駆動方法を表わす図である。本実施例の変形例では、走査休止期間912では、走査駆動回路スタートパルス922および信号駆動回路スタートパルス932のみならず、走査駆動回路クロック921および信号駆動回路クロック931も、入力されない。この方法によれば、走査駆動回路クロック921および信号駆動回路クロック931の、充放電に要していた電力が、削減できる。また、走査駆動回路クロック921の切り替わり時に発生する走査駆動回路シフトレジスタ311のリーク電流、信号駆動回路クロック931の切り替わり時に発生する信号駆動回路シフトレジスタ321のリーク電流に対して発生する電力も、削減できる。

【0037】(第2の実施例)本実施例は、画素等価回路、表示素子の制御方法、駆動回路、薄膜トランジスタ、有機エレクトロルミネッセンス素子などに関しては、第1の実施例と同一である。

【0038】図11は、本発明の本実施例の表示素子の駆動方法を表わす図である。本実施例では、請求項2で記載した技術を、用いている。すなわち、第1の実施例および第1の実施例の変形例で用いた技術に加えて、走査休止期間912においては、信号線駆動回路の高電位側電源電位933と、ここでは図示していない低電位側電源電位とを、同電位にしている。この方法により、図4、図5、図6に示されたような、信号線駆動回路を構成する論理回路内で、保持状態でのリーク電流に起因する、待機電力を削減できる。

【0039】一方、走査線駆動回路の高電位側電源電位と、低電位側電源の電位とは、走査期間911から変化させない。この方法により、走査線11の電位は保持されるので、各副表示素子の制御電位はリークせず、各副表示素子のオン状態またはオフ状態の保持は確実に継続され、フリッカ・コントラスト低下などの画質低下が、発生しない。

【0040】また、本実施例では、請求項4で記載した技術を、用いている。すなわち、本実施例では、スイッチング薄膜トランジスタ14はn型なので、走査線11の電位が高電位のとき、信号線12の電位が画素13に書き込まれる。走査休止期間912においては、信号線駆動回路の高電位側電源電位933が、ここでは図示していない低電

位側電源の電位に変化させられている。この方法により、スイッチング薄膜トランジスタ14のゲート電圧(Vg s)が低く保たれるので、走査休止期間912における制御電位の変化が低減でき、フリッカ・コントラスト低下などの画質低下が、より発生しにくくなる。

【0041】図12は、走査周波数に対する消費電力の依存性である。ここでは、走査期間911には全画面走査が1回のみ行われる。走査周波数は、全期間(=走査期間911+走査休止期間)に対する走査期間911の割合により、定義した。例えば、走査期間911が16.7msで、走査休止期間が33.3msならば、走査周波数は20Hzである。走査周波数に比例して、消費電力が低減されていることがわかる。

【0042】図13は、駆動電圧に対するフリッカ限界走査周波数の依存性である。ここでは、駆動電圧は、信号線駆動回路の高電位側電源電位と低電位側電源電位との差を意味し、フリッカ限界走査周波数は、目視によりフリッカが視認されない最低の周波数として、定義されている。駆動電圧を若干昇圧することで、走査周波数を下げてもフリッカは観測されないことがわかる。

【0043】(第3の実施例)本実施例は、画素等価回路、表示素子の制御方法、駆動回路、薄膜トランジスタ、有機エレクトロルミネッセンス素子などに関しては、第1の実施例と同一である。

【0044】図14は、本発明の本実施例の表示素子の駆動方法を表わす図である。本実施例では、請求項3で記載した技術を、用いている。すなわち、第1の実施例および第1の実施例の変形例で用いた技術に加えて、走査休止期間912においては、走査線駆動回路の高電位側電源電位923と、ここでは図示していない低電位側電源電位とを、同電位にしており、かつ、信号線駆動回路のここでは図示していない高電位側電源電位と、低電位側電源電位934とを、同電位にしている。この方法により、図4、図5、図6に示されたような、走査線駆動回路および信号線駆動回路を構成する論理回路内で、保持状態でのリーク電流に起因する、待機電力を削減できる。

【0045】また、本実施例では、請求項5で記載した技術を、用いている。すなわち、本実施例では、ドライビング薄膜トランジスタ17はp型なので、制御電位が低電位のとき、副表示素子がオン状態に制御される。走査休止期間912においては、信号線駆動回路の低電位側電源電位934が、ここでは図示していない高電位側電源の電位に変化させられている。この方法により、フリッカ・コントラスト低下などの画質低下が、より発生しにくくなる。なぜなら、走査休止期間における各画素の制御電位のリーク電流が存在しても、オン状態の表示素子の輝度が、若干減少するかたちで現れる。この場合、オフ状態の表示素子の輝度が、若干増加する場合と比較すると、フリッカ・コントラスト低下などの画質低下は、よ

り見えにくくなる。

【0046】なお、本発明の実施例では、走査線駆動回路および信号線駆動回路は、低温p-Si TFT技術により、パネル上に組み込まれており、これらの駆動回路の消費電力について考察したが、a-Si TFT技術を用いた場合の外部駆動回路に対しても、同様の議論が成り立つ。

【0047】また、図3には図示されていないが、これらの駆動回路を制御するクロック・スタートパルス・画像信号を生成する、コントローラが存在する。本発明によれば、このコントローラで消費される電力も、低減可能である。

【0048】なお、本発明の特例として、表示素子が単一の副表示素子で構成される場合が、考えられる。この場合は、階調表示は不可能で、ひとつの画素はオン・オフの2値表示を行うことになる。しかしながら、本発明の、フリッカ・コントラスト低下などの画質低下を伴うこと無く、駆動回路の消費電力が大幅に低減されるという効果は、上記と同様に得られる。

【図面の簡単な説明】

【図1】本発明の実施例の画素等価回路図。

【図2】本発明の実施例の表示素子の制御方法を表わす図。

【図3】本発明の実施例の駆動回路を表わす図。

【図4】本発明の実施例のシフトレジスタ回路の一例を示す図。

【図5】本発明の実施例のラッチ回路の一例を示す図。

【図6】本発明の実施例のバッファ回路の一例を示す図。

【図7】本発明の実施例の薄膜トランジスタの製造工程を表わす図。

【図8】本発明の実施例の有機エレクトロルミネッセンス素子の製造工程を表わす図。

【図9】本発明の第1の実施例の表示素子の駆動方法を表わす図。

【図10】本発明の第1の実施例の変形例の表示素子の駆動方法を表わす図。

【図11】本発明の第2の実施例の表示素子の駆動方法を表わす図。

【図12】走査周波数に対する消費電力の依存性を示す図。

【図13】駆動電圧に対するフリッカ限界走査周波数の依存性を示す図。

【図14】本発明の第3の実施例の表示素子の駆動方法を表わす図。

【符号の説明】

1 1 走査線

1 2 信号線

1 2 1 低ビットの信号線

1 2 2 高ビットの信号線

1 3 画素

1 4 スイッチング薄膜トランジスタ

1 4 1 低ビットのスイッチング薄膜トランジスタ

1 4 2 高ビットのスイッチング薄膜トランジスタ

1 5 保持容量

1 5 1 低ビットの保持容量

1 5 2 高ビットの保持容量

1 6 表示素子

1 6 1 低ビットの副表示素子

1 6 2 高ビットの副表示素子

1 7 ドライビング薄膜トランジスタ

1 7 1 低ビットのドライビング薄膜トランジスタ

1 7 2 高ビットのドライビング薄膜トランジスタ

1 8 有機エレクトロルミネッセンス素子

1 8 1 低ビットの有機エレクトロルミネッセンス素子

1 8 2 高ビットの有機エレクトロルミネッセンス素子

1 8 2 1 第1の高ビットの有機エレクトロルミネッセンス素子

1 8 2 2 第2の高ビットの有機エレクトロルミネッセンス素子

1 9 1 電流供給配線

1 9 2 陰極

2 1 オン状態

2 2 オフ状態

3 1 1 走査駆動回路シフトレジスタ

3 1 2 走査駆動回路バッファ

3 2 1 信号駆動回路シフトレジスタ

3 2 2 信号駆動回路第1バッファ

3 2 3 信号駆動回路第1ラッチ

3 2 4 信号駆動回路第2ラッチ

3 2 5 信号駆動回路第2バッファ

3 3 1 走査駆動回路クロック

3 4 1 信号駆動回路クロック

3 4 2 デジタル画像信号

3 4 3 信号駆動回路ラッチパルス

3 5 表示領域

3 6 周辺供給配線

3 7 陰極コンタクト

7 1 ガラス基板

7 2 多結晶シリコン

7 3 ゲート絶縁膜

7 4 ゲート電極

7 5 ソース領域およびドレイン領域

7 6 第1層間絶縁膜

7 7 ソース電極およびドレイン電極

7 8 第2層間絶縁膜

7 9 画素電極

8 1 密着層

8 2 層間層

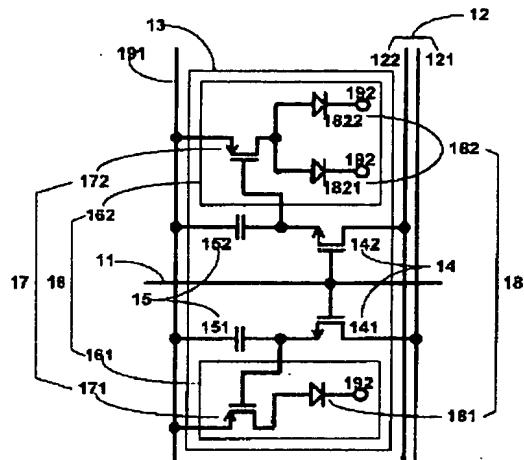
8 3 正孔注入層

8 4 発光層

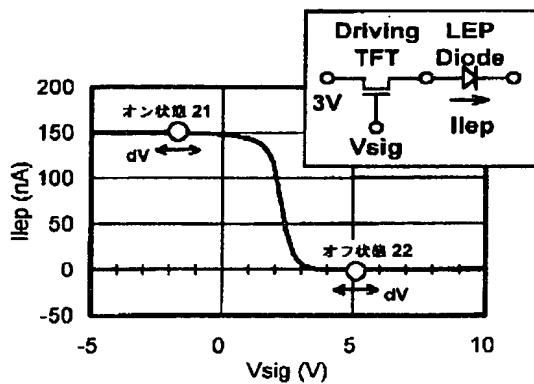
8 5 陰極
 8 6 封止剤
 9 1 1 走査期間
 9 1 2 走査休止期間
 9 2 1 走査線駆動回路クロック
 9 2 2 走査線駆動回路スタートバルス

9 2 3 走査線駆動回路の高電位側電源電位
 9 3 1 信号線駆動回路クロック
 9 3 2 信号線駆動回路スタートパルス
 9 3 3 信号線駆動回路の高電位側電源電位
 9 3 4 信号線駆動回路の低電位側電源電位

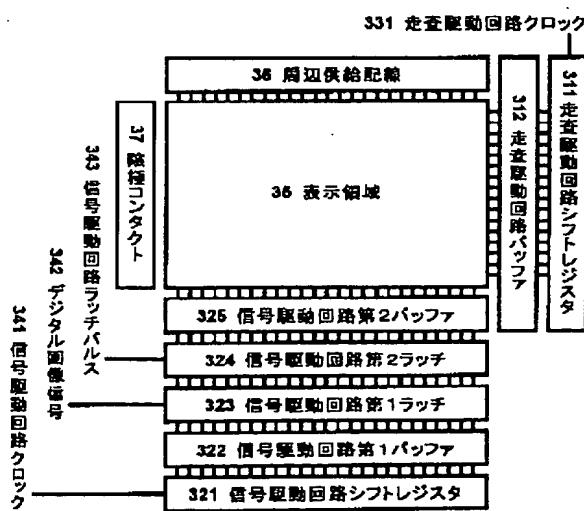
【图 1】



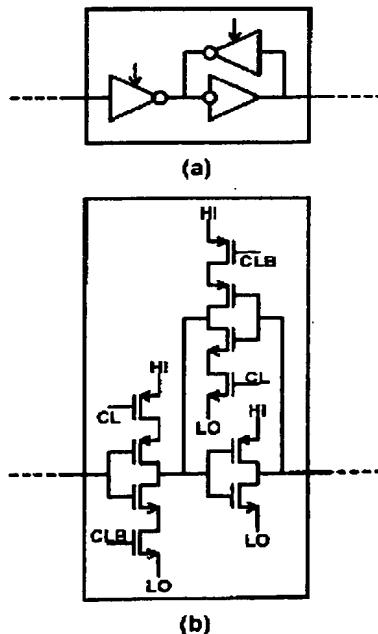
【図2】



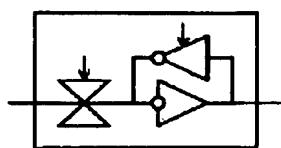
【图3】



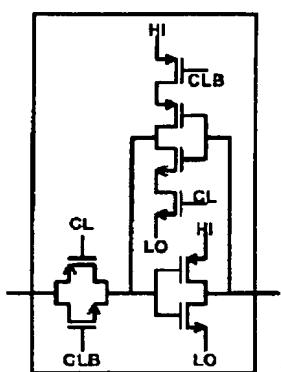
[図 4]



【図5】

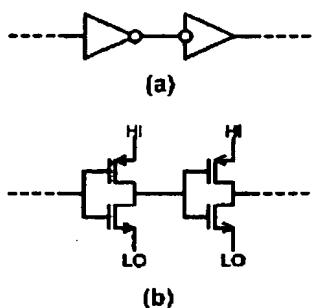


(a)



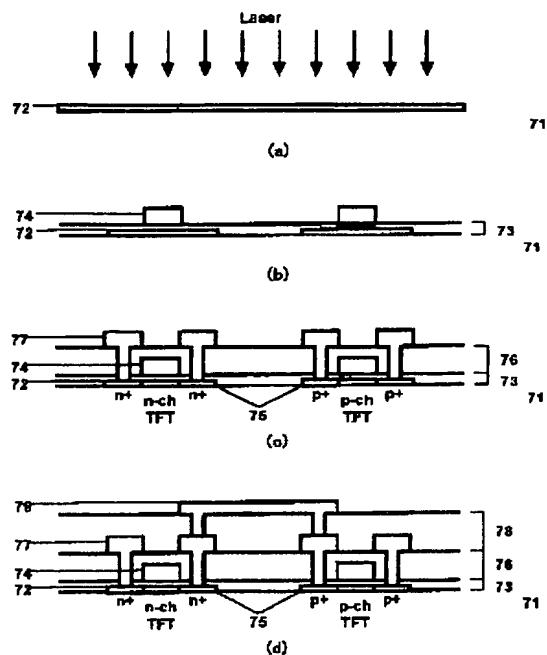
(b)

【図6】

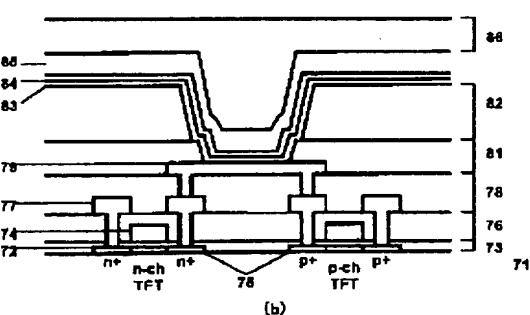
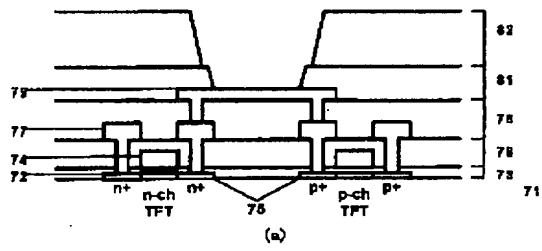


(b)

【図7】

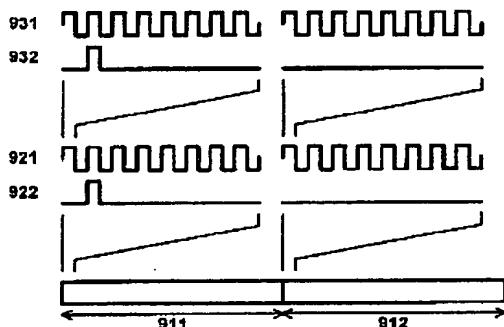


【図8】

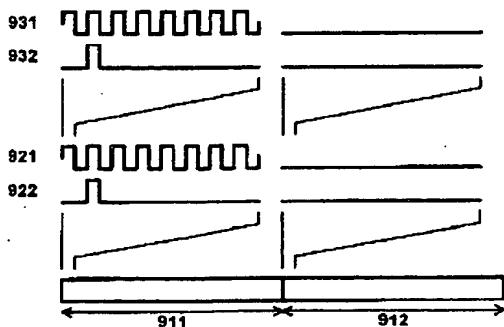


(b)

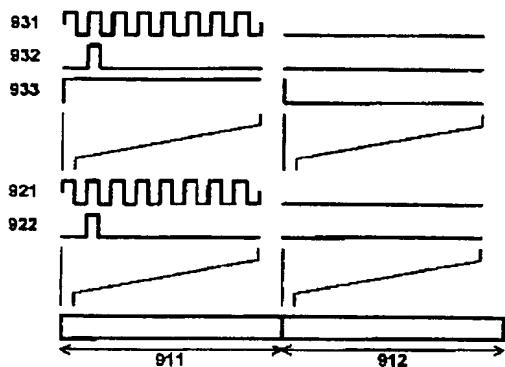
【図9】



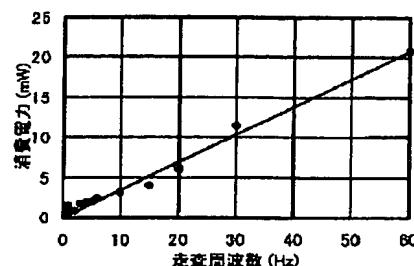
【図10】



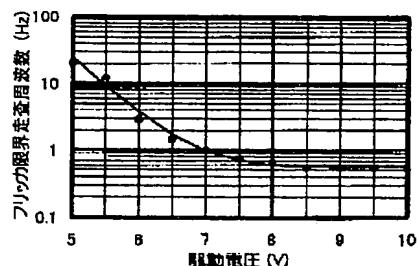
【図11】



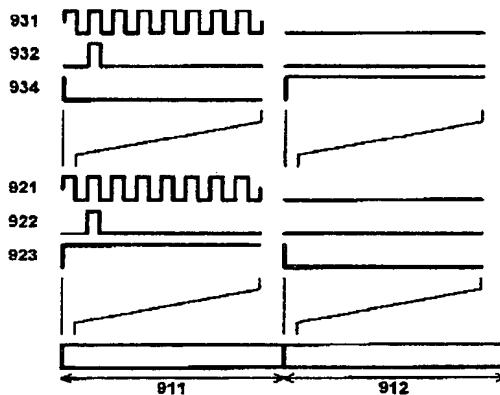
【図12】



【図13】



【図14】



フロントページの続き

Fターム(参考) 2H079 AA02 BA01 CA21 DA08 FA03
 HA12 JA01
 2H093 NA47 NC09 NC15 NC22 NC34
 ND39 NG01
 5C006 AA01 AA02 AA11 AA22 AC11
 AC22 AF42 BB16 BC03 BC16
 BF03 BF04 BF05 BF11 FA47
 5C080 AA06 AA10 BB05 CC03 DD24
 FF11 GG08 GG12 HH09 HH10
 JJ02 JJ03 JJ04 JJ05 JJ06
 KK02 KK04 KK07 KK43
 5C094 AA22 BA27 BA43 CA19 CA25
 EA03 EA04 EA07 GA10